

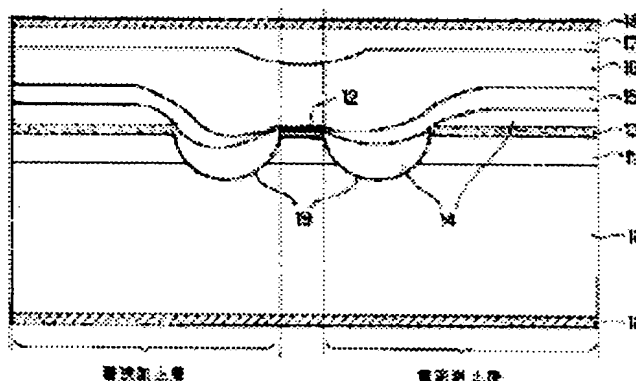
QUANTUM WELL STRUCTURE BURIED SEMICONDUCTOR LASER

Publication number: JP5160509
Publication date: 1993-06-25
Inventor: KOIZUMI YOSHIHIRO
Applicant: NIPPON ELECTRIC CO
Classification:
- International: H01S5/00; H01S5/042; H01S5/00; (IPC1-7): H01S3/18
- European:
Application number: JP19910348829 19911204
Priority number(s): JP19910348829 19911204

Report a data error here

Abstract of JP5160509

PURPOSE: To reduce a leak current flowing outside an active layer, and realize a semiconductor laser oscillating at a low threshold current, by making both sides of a light emitting active layer amorphous. **CONSTITUTION:** An N-type AlGaAs layer 11, a GaAs well layer and an AlGaAs barrier layer 12 are epitaxially formed in order on a semiconductor substrate 10. Two trenches 19 are formed on both sides of a light emitting active layer. On the surface of semiconductor having a quantum well layer, SiO₂ is deposited, and then eliminated excepting the light emitting active layer top part 12 and the trench surface 19. By a vacuum diffusion method, Zn is diffused and the quantum well layers on both side of the light emitting active layer are made amorphous. After that the left SiO₂ is eliminated, and the followings are epitaxially grown in order; a P-type AlGaAs layer 14, an N-type AlGaAs layer 15, a P-type AlGaAs layer 16, and a P<+> type GaAs layer 17. The N-type GaAs substrate 10 is polished, an electrode 18 is evaporated, and annealing is performed, thereby completing the whole process.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-160509

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.⁵

H01S 3/18

識別記号

庁内整理番号

9170-4M

F I

技術表示箇所

審査請求 未請求 請求項の数5(全7頁)

(21)出願番号

特願平3-348829

(22)出願日

平成3年(1991)12月4日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小泉 善裕

東京都港区芝五丁目7番1号 日本電気株式会社内

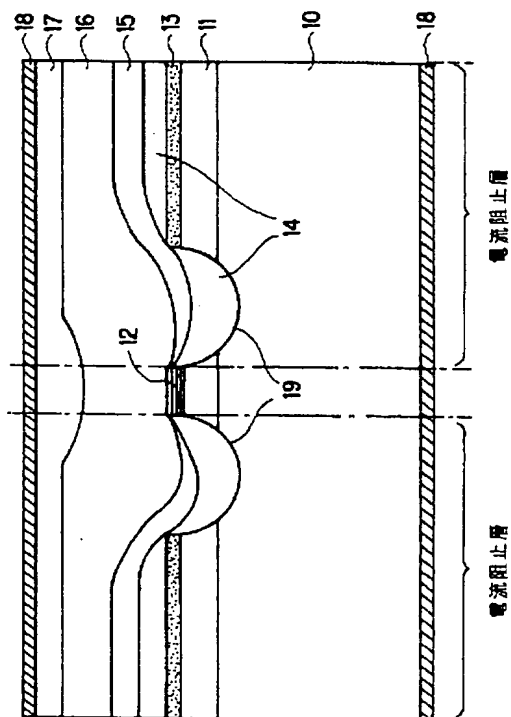
(74)代理人 弁理士 本庄 伸介

(54)【発明の名称】 量子井戸構造埋め込み半導体レーザ

(57)【要約】

【目的】 量子井戸構造埋め込み半導体レーザの漏れ電流を低減し、低しきい値電流の量子井戸構造埋め込み半導体レーザを得る。

【構成】 電流阻止層中に、多重量子井戸を無秩序化した層13を設けるか、又は量子サイズ効果を有しない程に十分厚い狭い禁制帯幅を有する層を設ける。



1

【特許請求の範囲】

【請求項 1】 第 1 導電型半導体基板上または第 1 導電型クラッド層上に活性層及び第 2 導電型クラッド層がこの順に積層されてなる 2 重ヘテロ構造半導体レーザであって、発光活性層は複数の量子井戸構造からなる多重量子井戸により構成され、該発光活性層の両脇は前記多重量子井戸よりも大きな禁制帯幅を有する第 1 導電型及び第 2 導電型の電流阻止層で埋め込まれ、前記発光活性層の両側に、前記電流阻止層を挟んで、前記発光活性層と同一組成の多重量子井戸層が無秩序化されてなる層を有することを特徴とする量子井戸構造埋め込み半導体レーザ。

【請求項 2】 第 1 導電型半導体基板上または第 1 導電型クラッド層上に活性層及び第 2 導電型クラッド層がこの順に積層されてなる 2 重ヘテロ構造半導体レーザであって、発光活性層は複数の量子井戸構造からなる多重量子井戸により構成され、該発光活性層の両脇は多重量子井戸よりも大きな禁制帯幅を有する第 1 導電型及び第 2 導電型の電流阻止層で埋め込まれ、該発光活性層の両側に、前記電流阻止層を挟んで、前記第 1 導電型クラッド層及び第 2 導電型電流阻止層のいずれの層の禁制帯幅よりも狭い禁制帯幅を有するキャリアトラップ層を有し、該キャリアトラップ層は量子サイズ効果を有しない程に十分な厚みを有することを特徴とする量子井戸構造埋め込み半導体レーザ。

【請求項 3】 請求項 2 に記載した量子井戸構造埋め込み半導体レーザにおいて、第 1 導電型半導体基板上のレーザ共振器方向に周期的な凹凸が設けられたことを特徴とする分布帰還型量子井戸構造埋め込み半導体レーザ。

【請求項 4】 請求項 2 に記載した量子井戸構造埋め込み半導体レーザにおいて、多重量子井戸活性層の一部分に電流が注入されない過飽和吸収領域が設けられていることを特徴とする量子井戸構造埋め込み双安定半導体レーザ。

【請求項 5】 請求項 2 に記載した量子井戸構造埋め込み半導体レーザにおいて、共振器長方向の一部に電極を分離した電流注入領域を設け、この電流注入領域に電流量を変化させて注入する事を特徴とする波長可変量子井戸構造埋め込みレーザ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は光通信や光情報処理用の光源として用いられる高性能な半導体レーザに関する。

【0002】

【従来の技術】 埋め込み構造半導体レーザは、電子・正孔を有効に発光活性層に閉じ込めることができるため低しきい値・高効率動作が容易に実現でき広く実用化されている。特に発光活性層の両側に発光活性層と同一組成の層を有し、電流阻止層領域にヘテロ接合を有する半導体レーザでは、発光活性層外に流れるいわゆる漏れ電流

2

の多くは電流阻止領域のヘテロ接合における狭い禁制帯幅層における電子・正孔対の再結合により流れる。そこで、半導体レーザへの印可電圧が上昇したときでも、電子・正孔はヘテロ接合を越えることはなく、ヘテロ接合における狭い禁制帯幅層での電子・正孔対の再結合率で決まる割合で電流が流れるため、急激にこの漏れ電流が上昇することではなく、高効率動作を実現できる。

【0003】 一方、近年研究開発が活発化している多重量子井戸構造を発光活性層に有する多重量子井戸構造半導体レーザでは、井戸層に閉じ込められた電子・正孔が一次的に量子化し、微分利得が上がり、しきい値電流が下がる等の効果を奏することが知られている。

【0004】 以上に説明した電流阻止域にヘテロ接合を有する埋め込み構造と、活性層に多重量子井戸構造を有する多重量子井戸構造半導体レーザを組み合わせることにより、より高性能な半導体レーザを構成することができる。

【0005】 従来、埋め込み構造として例えば 2 重チャンネルプレーナ埋め込み (DC-PBH) を用いた多重量子井戸レーザ (MQW-DC-PBH LD) などが試作され報告されている (例えばエム、キタムラほかエレクトロニクスレターズ 1988 24 巻 No. 23, pp 1424-1425)。従来の量子井戸構造埋め込み半導体レーザは、発光活性層のみならず、電流阻止領域にも量子井戸構造を有していた。

【0006】

【発明が解決しようとする課題】 本発明者の計算機シミュレーションの結果によれば、室温における発振しきい値電流付近では、注入電流の約 50% が発光活性層以外に流れる漏れ電流となり、漏れ電流の 85% は、電流阻止領域のヘテロ接合における狭い禁制帯幅を有する層において電子・正孔が再結合して流れる電流であることが判明した。従来の量子井戸構造埋め込み半導体レーザでは、電流阻止領域のヘテロ接合における狭い禁制帯幅も多重量子井戸構造となるため、電流阻止領域における井戸層に閉じ込められた電子・正孔の密度は高くなり、その寿命時間は通常の 0.1 μm 前後の狭い禁制帯幅層における寿命時間に比べ短くなる。その結果、電流阻止領域における漏れ電流が増加し、しきい値電流が増加する等の問題点があった。

【0007】

【課題を解決するための手段】 従来技術の課題を解決するために本発明で提供する第 1 の量子井戸構造埋め込み半導体レーザは、発光活性層は複数の量子井戸構造からなる多重量子井戸からなり、多重量子井戸発光活性層の両脇はこの多重量子井戸発光活性層よりも大きな禁制帯幅を有する電流阻止層で埋め込まれ、前記多重量子井戸発光活性層の両側に、該電流阻止層を挟んで、前記多重量子井戸発光活性層と同一組成の多重量子井戸層が無秩序化されてなる層を備えている。

【0008】従来技術の課題を解決するために本発明で提供する第2の量子井戸構造埋め込み半導体レーザは、多重量子井戸活性層の両脇はこの多重量子井戸活性層よりも大きな禁制帯幅を有する第1導電型及び第2導電型の電流阻止層で埋め込まれ、前記多重量子井戸活性層の両脇に、該電流阻止層を挟んで、第1導電型クラッド層及び第2導電型電流阻止層のいずれの層の禁制帯幅よりも狭い禁制帯幅を有し、量子サイズ効果を有しない程に十分厚いキャリアトラップ層を備えている。

【0009】

【作用】多重量子井戸が無秩序化すると、量子井戸構造が崩れ、量子サイズ効果の現れない均一組成の層となる。層厚が電子のドブロイ波長よりも十分長い、厚い無秩序化された層では、電子・正孔密度は量子井戸層に比べ小さくなり、このため電子の寿命時間は量子井戸層における電子の寿命時間に比べ長くなる。従って、半導体レーザに同一の印可電圧が加えられたとき、量子井戸が無秩序化された層を有する量子井戸構造埋め込み半導体レーザでは、活性層外を流れる漏れ電流は小さくなり、従来の量子井戸構造埋め込み半導体レーザに比べ低い値電流で発振する半導体レーザを実現することができる。

【0010】また、請求項2に記載された量子井戸構造埋め込み半導体レーザでは、クラッド層及び電流ブロック層よりも狭い禁制帯幅を有し、量子サイズ効果を有しない程に十分厚いキャリアトラップ層を電流阻止領域に挿入することにより、同様に、従来の量子井戸構造埋め込み半導体レーザに比べ低い値電流で発振する半導体レーザを実現することができる。

【0011】また、請求項3に記載された分布帰還型量子井戸構造埋め込み半導体レーザでは、従来の分布帰還型量子井戸構造埋め込み半導体レーザ（例えば、ティエー、ササキほかエレクトロニクスレターズ 4th August 1988, Vol 24, No. 16 pp 1045-1046）に比べ漏れ電流を低減でき、一層低い値電流で発振する分布帰還型半導体レーザを実現することができる。

【0012】さらに、請求項4に記載された量子井戸構造埋め込み双安定半導体レーザにおいては、従来の双安定半導体レーザに比べ、漏れ電流を低減でき、少ない消費電力でスイッチング動作する量子井戸構造埋め込み双安定半導体レーザを実現することができる。

【0013】請求項5に記載されたレーザでは、電極分離した電流注入領域に電流を注入することによって発生するキャリア密度によりプラズマ効果が生じ、この領域の屈折率が等価的に減少する。このため、この領域を通る光はこの屈折率の影響をうけ波長が変化する。この波長の変化量はプラズマ効果が大きい程すなわち注入電流が大きい程大きくなる。特に本発明の構造のレーザでは従来にくらべて漏れ電流を低減でき、より有効にプラズ

マ効果を引き起こす事ができるため、より安定な波長可変レーザを得ることができる。

【0014】

【実施例】次に本発明について図面を参照して説明する。図1は請求項1に記載の発明の一実施例である半導体レーザチップの断面図である。この半導体レーザチップの製造にあたっては、まずN型ガリウムヒ素（GaAs）半導体基板10上にN型アルミニウムガリウムヒ素（AlGaAs）層11を1 μ m、厚み50ÅのGaAs井戸層と厚み100ÅのAlGaAs障壁層12を合計10対（計1500Å）順次に有機金属気相成長法（MOVPE）によりエピタキシャル成長する。次にフォトリソグラフィ及び化学エッチングにより発光活性層の両脇に2本の溝19を形成する。次に、量子井戸層を有する半導体の表面にSiO₂を堆積させ、再びフォトリソグラフィ及び化学エッチングにより発光活性層頂上部12、及び溝表面19を除いて、SiO₂を除去する。次に亜鉛（Zn）を真空拡散法により拡散し、発光活性層両側の量子井戸層を無秩序化する。亜鉛の拡散が終了した後は、残ったSiO₂膜を除去し、さらに液相成長法（LPE）により、P型アルミニウムガリウムヒ素（AlGaAs）層14、N型AlGaAs層15、P型AlGaAs層16、P⁺型GaAs層17を順次エピタキシャル成長する。さらに、N型GaAs基板10を100 μ m程度まで研磨し、電極18蒸着、アニーリングをして全プロセスを終了する。

【0015】次に請求項2に記載の量子井戸構造埋め込み半導体レーザの実施例について、図2を参照にして説明する。

【0016】図2の半導体レーザの製造にあたっては、まず、N型インジウム燐（InP）基板20上にN型InP層21を1 μ m、ノンドーピングインジウムガリウムヒ素燐層23（InGaAsP； $\lambda_g=1.5\mu$ m）を0.2 μ m、P型InP層29を0.5 μ m順次に有機金属気相成長法（MOVPE）によりエピタキシャル成長する。次にエピタキシャル成長面全面にSiO₂を堆積し、<0, 1, 1>方向に幅5 μ mの間隙をフォトリソグラフィ及び化学エッチングにより作製する。次に幅5 μ mの間隙部に化学エッチングにより、深さ約1 μ mの溝を形成する。次に溝外のSiO₂膜を残したまま、MOVPE法により選択成長を用いて、幅5 μ mの溝内に、N型InP層30-0.4 μ m、ノンドーピングInGaAsP層（ $\lambda_g=1.3\mu$ m）500Å、ノンドーピングInGaAsウエル層75ÅとノンドーピングInGaAsP（ $\lambda_g=1.3\mu$ m）バリア層150Åを5対22、ノンドーピングInGaAsP層（ $\lambda_g=1.3\mu$ m）500Å、P型InP層0.4 μ m31を順次エピタキシャル成長する。次にフォトリソグラフィ及び化学エッチングにより、幅約2 μ mの発光活性層部（メサ）を残して、両側に幅5～7 μ mの溝（深

さ2〜3 μm) 32を形成する。そして、液相成長法により、P型InP層24及びN型InP層25をメサ頂上部を除いて埋め込み成長し、さらにP型InP層26、P⁺型InGaAsP層27を順次液相成長する。次にN型InP20基板を100 μm 程度にまで研磨し、半導体表面両面に電極28を蒸着し、アニーリングして全プロセス工程を終了する。

【0017】次に請求項3に記載の分布帰還型量子井戸構造埋め込み半導体レーザの実施例について図4を参照にして説明する。

【0018】図4の半導体レーザの製造にあたっては、まず(100)面を表面に有するN型インジウム燐(InP)基板50上に<0, 1, 1>方向に周期的凹凸を有する回折格子51をフォトリソグラフィ及びレーザ光の干渉現象を利用して作製する。次にN型インジウムガリウムひ素燐(InGaAsP)光導波層52(InGaAsP; $\lambda_g = 1.15\mu\text{m}$) 0.2 μm 、ノンドーピングインジウムガリウムひ素燐キャリアトラップ層53(InGaAsP; $\lambda_g = 1.3\mu\text{m}$) 0.2 μm 、P型インジウム燐層54を0.5 μm 、それぞれ有機金属気相成長法(MOVPE)によりエピタキシャル成長する。

【0019】次にエピタキシャル成長面全面にSiO₂を堆積し、<0, 1, 1>方向に幅5 μm の間隙部分をフォトリソグラフィ及び化学エッチングにより作製する。次に幅5 μm の間隙部分に化学エッチングによりP型インジウム燐層54、及びノンドーピングインジウムガリウムひ素燐キャリアトラップ層53を選択的に除去し、深さ0.7 μm の溝を形成する。次に、溝外のSiO₂膜を残したまま、MOVPE法による選択成長により、幅5 μm の溝内にノンドーピングInGaAsウエル層75ÅとノンドーピングInGaAsP($\lambda_g = 1.3\mu\text{m}$)バリア層150Å²を5対、次にP型インジウム燐層0.6 μm を順次エピタキシャル成長する。それ以降のデバイスプロセスの行程は、請求項2に記載の量子井戸構造埋め込み半導体レーザの実施例に示した行程と全て同様にして行える。

【0020】さらに、請求項4に記載の量子井戸構造埋め込み双安定半導体レーザの実施例について図5を参照にして説明する。

【0021】図5の半導体レーザの製造にあたっては、まず、請求項2に記載の量子井戸構造埋め込み半導体レーザの実施例と同様にして、InP半導体基板の研磨、電極蒸着行程以前の工程まで加工する。次に、SiO₂を半導体表面全体に堆積させ、フォトリソグラフィにより、間隔50 μm において、幅10 μm のSiO₂膜のストライプ状の間隙部分を<0, 1, -1>方向に形成する。次に、リアクティブイオンエッチング法(RIBE)を用いて、幅10 μm のSiO₂膜の間隙部分における半導体層の一部を除去し、電極78を過飽和吸

収領域79の上部を除いて、選択的に形成する。

【0022】このような作製工程を経て作製された量子井戸構造埋め込み双安定半導体レーザは、漏れ電流が少ないため低消費電力でスイッチング動作が可能で、しかも、活性層に多重量子井戸構造を具備しているため、キャリアの寿命時間が短く、高速のスイッチング動作が可能となる。

【0023】図6の半導体レーザは、請求項5に記載の半導体レーザの実施例であるが、上記図5の半導体レーザにおいて過飽和吸収領域を形成せずここに電流注入領域を設ければ得られる。

【0024】

【発明の効果】以上に説明したように、本発明の半導体レーザでは、活性層に多重量子井戸構造を有し、活性層以外の電流阻止層領域にヘテロ接合を有し、ヘテロ接合の狭い禁制帯幅を有する層においては、量子サイズ効果を有しない程十分厚く、活性層以外を流れるいわゆる漏れ電流の大部分がこの電流阻止領域におけるヘテロ接合の狭い禁制帯幅を有する層における電子・正孔対の再結合により流れるから、従来の量子井戸構造埋め込み半導体レーザよりも漏れ電流を小さくでき、従来より低い値、高効率という効果が得られる。

【図面の簡単な説明】

【図1】請求項1に記した本発明の一実施例の半導体チップの断面図。

【図2】請求項2に記した本発明の一実施例の半導体チップの断面図。

【図3】従来の量子井戸構造埋め込み半導体レーザの一例を示す半導体チップの断面図。

【図4】請求項3に記した本発明の一実施例の半導体レーザの斜視図。

【図5】請求項4に記した本発明の一実施例の半導体レーザの斜視図。

【図6】請求項5に記した本発明の一実施例の半導体レーザの斜視図。

【符号の説明】

10 N型ガリウムひ素基板

11 N型アルミニウムガリウムひ素層

12 ガリウムひ素井戸層、及びアルミニウムガリウムひ素障壁層

13 無秩序化層

14 P型アルミニウムガリウムひ素層

15 N型アルミニウムガリウムひ素層

16 P型アルミニウムガリウムひ素層

17 P⁺型ガリウムひ素層

18 電極

20 N型インジウム燐基板

21 N型インジウム燐層

22 インジウムガリウムひ素井戸層、及びインジウムガリウムひ素障壁層

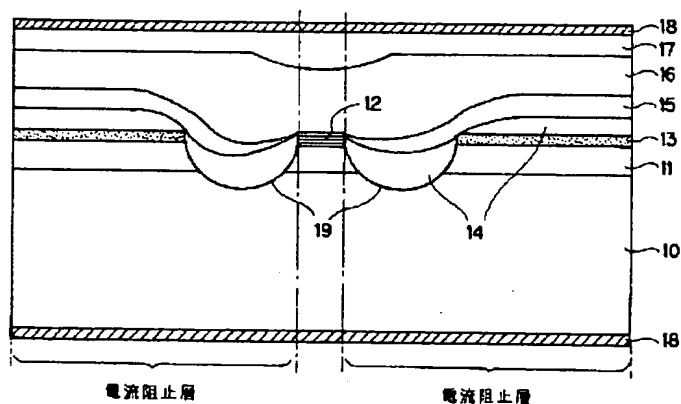
7

2 3 インジウムガリウムひ素燐キャリアトラップ層
 2 4 P型インジウム燐層
 2 5 N型インジウム燐層
 2 6 P型インジウム燐層
 2 7 P⁺ 型インジウムガリウムひ素燐層
 2 8 電極
 2 9 P型インジウム燐層
 3 0 N型インジウム燐層
 3 1 P型インジウム燐層
 3 2 溝
 4 0 N型インジウム燐基板
 4 1 N型インジウム燐層
 4 2 インジウムガリウムひ素井戸層、及びインジウムガリウムひ素燐障壁層
 4 3 P型インジウム燐層
 4 4 P型インジウム燐層
 4 5 N型インジウム燐層
 4 6 P型インジウム燐層
 4 7 P型インジウムガリウムひ素層
 4 8 電極
 5 0 N型インジウム燐 (InP) 基板
 5 1 回折格子
 5 2 N型インジウムガリウムひ素燐光導波層

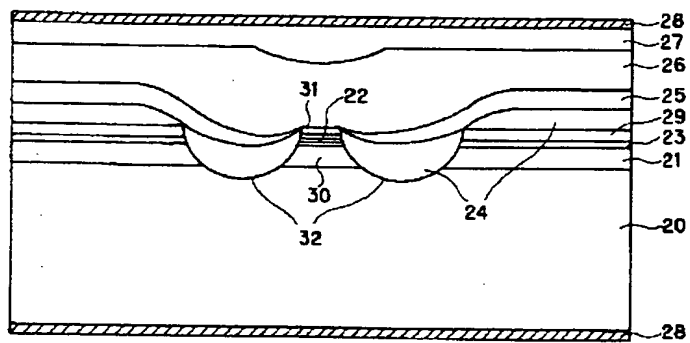
8

5 3 インジウムガリウムひ素燐キャリアトラップ層
 5 4 P型インジウム燐層
 5 5 P型インジウム燐電流阻止層
 5 6 N型インジウム燐電流阻止層
 5 7 P型インジウム燐層
 5 8 P⁺ 型インジウムガリウムひ素燐コンタクト層
 5 9 電極
 6 0 インジウムガリウムひ素井戸層、及びインジウムガリウムひ素燐障壁層
 7 0 電極
 7 1 N型半導体基板
 7 2 インジウムガリウムひ素燐キャリアトラップ層
 7 3 P型インジウム燐層
 7 4 P型インジウム燐電流阻止層
 7 5 N型インジウム燐電流阻止層
 7 6 P型インジウム燐層
 7 7 P⁺ 型インジウムガリウムひ素燐コンタクト層
 7 8 電極
 7 9 過飽和吸収領域
 8 0 インジウムガリウムひ素井戸層、及びインジウムガリウムひ素燐障壁層
 8 1 電極分離電流注入領域

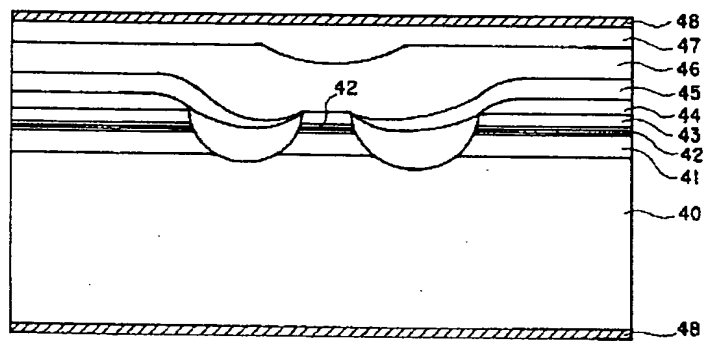
【図1】



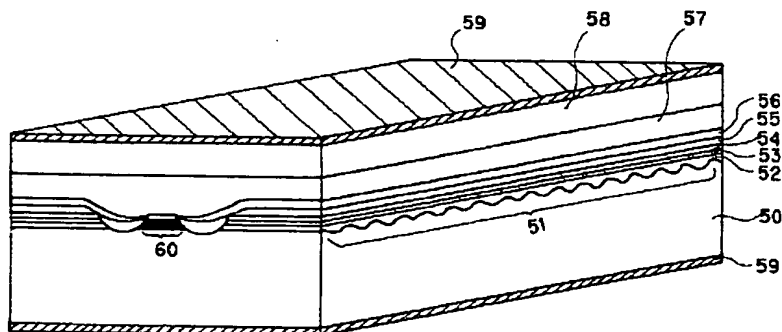
【図 2】



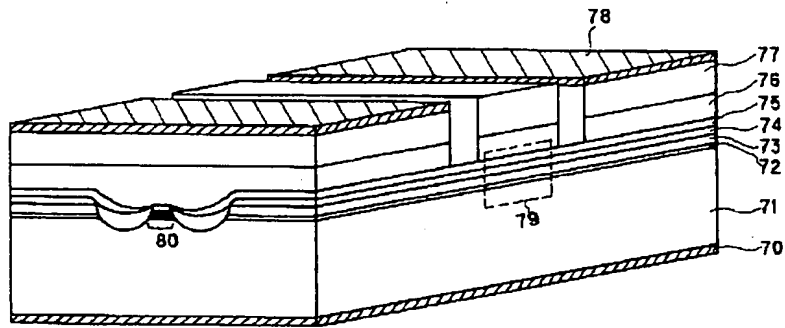
【図 3】



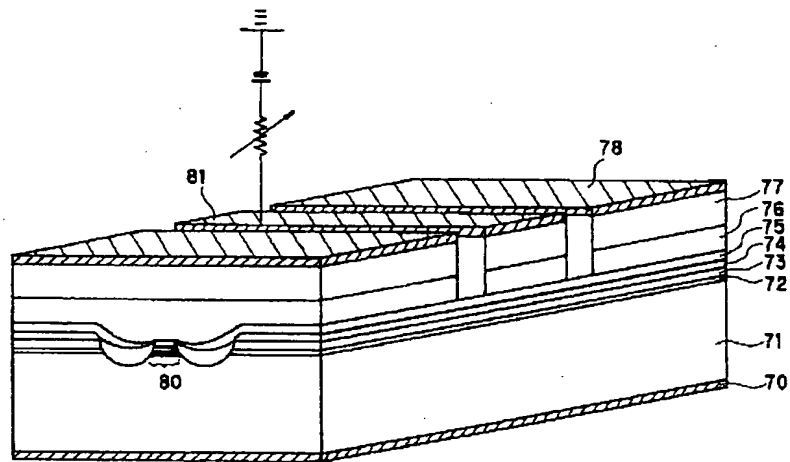
【図 4】



【図 5】



【図 6】



[0020]

Further, with reference to Fig. 5, an embodiment of a quantum well structure buried bistable semiconductor laser according to claim 4 is described.

[0021]

Upon manufacturing of a semiconductor laser of Fig. 5, processing in steps before the steps of polishing of the InP semiconductor substrate and electrode deposition is performed in the same way as in the embodiment of the quantum well structure buried semiconductor laser according to claim 2. Next, SiO₂ is deposited over the entire surface of a semiconductor, and stripe-shaped openings of the SiO₂ film having a width of 10 μm are formed, at an interval of 50 μm, in the direction of <0, 1, -1> by a photolithography method. Next, using a reactive ion etching method (RIE), part of semiconductor layers is removed in the opening portions of the SiO₂ film having a width of 10 μm to selectively form an electrode 78 to exclude a portion above a saturable absorbing region 79.

[0022]

A quantum well structure buried bistable semiconductor laser manufactured through such manufacturing steps allows switching operations with low consumption power because the leak currents are low. In addition, this semiconductor laser has a multiple-quantum well structure in the active layer, and therefore the life time of carriers is short, enabling switching operations at high speeds.

[Fig. 5]

A perspective view of a semiconductor laser of one embodiment of the present invention as recited in claim 4.